

SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE

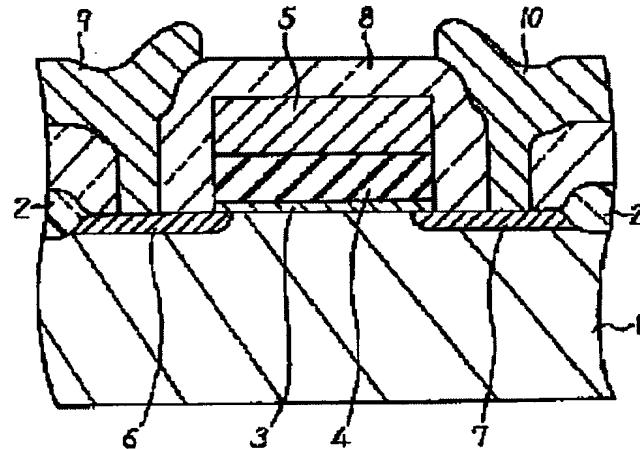
Patent number: JP7326681
Publication date: 1995-12-12
Inventor: ENDO NOBUHIRO
Applicant: NEC CORP
Classification:
- international: H01L21/8247; H01L29/788; H01L29/792; H01L29/78
- european:
Application number: JP19940116394 19940530
Priority number(s):

Also published as:
 US5596214 (A1)

Abstract of JP7326681

PURPOSE: To increase the writing erasing frequency of information electric charge, and obtain a flash memory of low voltage or low consumption power, by specifying the relation of thicknesses and specific dielectric constant of a first insulating film and a second insulating film laminated on a semiconductor substrate.

CONSTITUTION: A first insulating film 3 composed of, e.g. silicon oxide, silicon nitride, etc., is formed on the main surface of a semiconductor substrate 1. A second insulating film 4 composed of, e.g. tantalum pentoxide, strontium titanate, etc., is laminated on the film 3. The thickness and the specific dielectric constant of the first insulating film 3 are t_1 and ϵ_1 , respectively. The thickness and the specific dielectric constant of the second insulating film 4 are t_2 and ϵ_2 , respectively. The relations $20 \leq \epsilon_2/\epsilon_1$ and $t_2/t_1 \leq \epsilon_2/\epsilon_1$ are satisfied. Thereby the writing erasing time of information electric charge is reduced, so that the writing erasing frequency is increased, and a flash memory of low voltage or low consumption power can be obtained.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-326681

(43)公開日 平成7年(1995)12月12日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/8247

29/788

29/792

H 01 L 29/78

371

301 G

審査請求 有 請求項の数 7 OL (全 12 頁) 最終頁に続く

(21)出願番号

特願平6-116394

(22)出願日

平成6年(1994)5月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 遠藤 伸裕

東京都港区芝五丁目7番1号 日本電気株式会社内

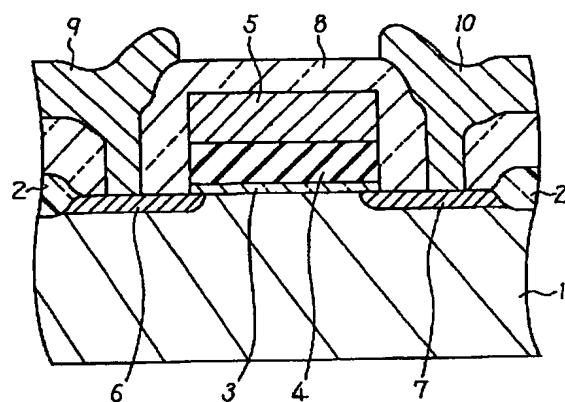
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体記憶装置及びその製造方法

(57)【要約】 (修正有)

【目的】半導体の不揮発性記憶素子において、その書き込み消去の動作の低電圧化と低消費電力化、更にこの動作の回数の増加を実現し、フラッシュメモリのような不揮発性の半導体記憶装置の性能向上を図る。

【構成】M I S型の半導体不揮発性記憶素子において、第1絶縁膜3と第2絶縁膜4の2層の絶縁膜で形成したゲート絶縁膜の中、前記第2絶縁膜4を高誘電率膜で形成するとともに、この高誘電率膜の組成を連続的あるいは不連続的に変え、あるいは前記第1絶縁膜と第2絶縁膜との間にシリコン微粒子を形成する。



【特許請求の範囲】

【請求項1】 M I S (金属-絶縁体-半導体) 構造のトランジスタにおいて、半導体基板の主面に第1絶縁膜が形成され、前記第1絶縁膜に積層して第2絶縁膜が形成され、前記第1絶縁膜と第2絶縁膜との2層絶縁膜でM I S構造トランジスタのゲート絶縁膜が構成され、前記第1絶縁膜の膜厚及び比誘電率を t_1, ϵ_1 とし、前記第2絶縁膜の膜厚及び比誘電率を t_2, ϵ_2 として、 ϵ_2 / ϵ_1 が $5.0 \leq \epsilon_2 / \epsilon_1$ の関係と $t_2 / t_1 \leq \epsilon_2 / \epsilon_1$ の関係とを満足することを特徴とした半導体記憶装置。

【請求項2】 前記第1絶縁膜がシリコン酸化物、シリコン窒化物又はシリコン酸化膜の窒化物で形成され、前記第2絶縁膜がチタン酸ストロンチウム、チタン酸バリウムストロンチウム又はチタン酸ジルコニウムの金属酸化物で形成されることを特徴とした請求項1記載の半導体記憶装置。

【請求項3】 前記第2絶縁膜が2種類の金属酸化物固溶体の絶縁物質で形成され、前記固溶体の絶縁物質の組成がその膜厚方向で異なるように形成されていることを特徴とした請求項1記載の半導体記憶装置。

【請求項4】 前記2種類の金属酸化物がチタン酸ストロンチウム及びチタン酸バリウムであって、前記固溶体の絶縁物質がチタン酸バリウムストロンチウムであることを特徴とした請求項3記載の半導体記憶装置。

【請求項5】 前記第2絶縁膜が、積層する2種類の酸化膜で形成されていることを特徴とした請求項1記載の半導体記憶装置。

【請求項6】 前記第1絶縁膜と前記第2絶縁膜との界面領域にシリコン原子の集合体を前記集合体が互いに離散して形成されていることを特徴とした請求項1、請求項2、請求項3、請求項4又は請求項5記載の半導体記憶装置。

【請求項7】 シリコン半導体基板の主面にシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面にシリコン原子の複数の集合体をこれらの集合体が互いに離散するように形成する工程と、前記シリコン酸化膜及び前記集合体を被覆するように前記第2絶縁膜を形成する工程とを含む請求項6記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は不揮発性の半導体記憶装置に関するもので、特に不揮発性記憶素子の構造およびその製造方法に関する。

【0002】

【従来の技術】 M I S型トランジスタの不揮発性記憶素子は大別すると、M N O S (金属-シリコン窒化膜-シリコン酸化膜-半導体)型トランジスタとフローティングゲート型トランジスタとの2種類になる。前者は2層構

10

20

30

30

40

50

造のゲート絶縁膜において、2層の絶縁膜の境界領域に形成される界面準位に記憶情報電荷を蓄積するものである。この型の素子にはその他シリコン窒化膜に替えてアルミナ膜を用いるM A O Sと呼称されるものも知られている。この他にこれらのシリコン酸化膜、シリコン窒化膜、アルミナ膜を2層以上になるように組み合わせた構造のものも提案されている。後者は2層のゲート電極の構造において、第1ゲート電極であるフローティングゲート電極に記憶情報電荷を蓄積するものである。この構造では、第1ゲート電極が半導体基板主面のシリコン酸化膜上にフローティング状に形成され、この第1ゲート電極の上部にシリコン酸化膜とシリコン窒化膜の複合した層間絶縁膜が設けられ、更にこの層間絶縁膜の上部に第2ゲート電極が形成される。ここで、この第2ゲート電極は前記第1ゲート電極を被覆している。

【0003】 この不揮発性記憶素子の情報電荷の書き込み消去動作は以下の通りである。すなわち、M N O S型トランジスタでは、半導体主面に形成した2nm程度の膜厚のシリコン酸化膜の直接トンネルを通して、半導体基板から前記界面準位に電子を注入し情報電荷の書き込みが行われ、その逆に界面準位から半導体基板に電子を放出することで情報電荷の消去が行われる。このような界面準位は電子の捕獲中心となっている。

【0004】 これに対して、フローティングゲート型トランジスタでは、情報電荷の書き込みは、トランジスタのチャネル領域に発生するホットエレクトロンを半導体基板主面に形成した10nm程度の膜厚のシリコン酸化膜を通して第1ゲート電極に注入することで行われる。情報電荷の消去は、この第1ゲート電極にある電子をトランジスタのソースあるいはチャネル領域に放出することで行われる。この情報電荷の書き込み状態が記憶情報の論理1に相当し、情報電荷の消去状態が記憶情報の論理0に相当する。

【0005】 以上のように情報電荷の書き込み消去動作の違いによりM N O S型トランジスタでは、フローティングゲート型トランジスタに較べて書き込み消去の回数は10~10²倍に大きくなる。しかしこのM N O S型トランジスタは、情報電荷の蓄積保持時間が短くなり、情報電荷の書き込み消去に必要な電圧が大きくなるという短所を有している。このためにフラッシュメモリに使用される不揮発性記憶素子は現在フローティングゲート型トランジスタが主流となっている。しかし現在10⁶回程度の書き込み消去回数の更なる増加は、フラッシュメモリ容量の増大に伴い強く要求されてきている。

【0006】 そこで、原理的に書き込み消去回数を多くできるM N O S型トランジスタをフラッシュメモリの不揮発性記憶素子として使用できるようにすることが有望視されてくる。このために、M N O S型トランジスタの情報電荷の蓄積保持時間を長くする手法、及び書き込み消去の電圧を低下させる手法等の開発が強く要求されてきて

いる。

【0007】このMOS型トランジスタの前記短所の改善を目的とする従来技術について図11に基づいて説明する。図11は特公昭62-33753号公報で提案されたMOS型トランジスタの略断面図である。

【0008】図11に示すように、シリコン半導体基板101の正面に素子分離酸化膜102を形成し、トランジスタのソース領域103とドレイン領域104を不純物拡散層で形成する。このようにした後、トランジスタのゲート絶縁膜に次のような3層の絶縁膜を形成する。すなわち、シリコン半導体基板101の表面に厚さ2.5~10nmのシリコン熱酸化膜で形成した第1絶縁膜105、その上部に厚さ3.5~7.0nmのシリコン窒化膜あるいはアルミニウム酸化膜で形成した第2絶縁膜106を、これらの絶縁膜に第3絶縁膜106aが挟まれるようにして形成する。ここで、この第3絶縁膜106aは厚さ1~5nmのシリコン窒化膜あるいはアルミニウム酸化膜にタングステン等の金属を混入させて形成される。

【0009】このような3層の絶縁膜で構成したゲート絶縁膜を有するMOS型のトランジスタのゲート電極107をn型の不純物を含むポリシリコン膜あるいはアルミニウム膜で形成する。このようにした後、全体を層間絶縁膜108で被覆しコンタクト孔を開口してソース領域にソース電極109、ドレイン領域にドレイン電極110を形成する。

【0010】この構造において情報の書き込みは、ゲート電極107に正電圧を印加しシリコン半導体基板101の電子を第1絶縁膜105をトンネル通過させ、この電子の蓄積領域となる第3絶縁膜106aに注入する。ここで、シリコン半導体基板101の導電型がn型の場合にはこの基板中の電子が、p型基板の場合には基板表面の反転したチャネル領域の電子が、注入されることになる。

【0011】情報の消去は、ゲート電極に負電圧あるいはシリコン半導体基板101に正電圧を印加し、前記書き込みで注入された第3絶縁膜中の電子をシリコン半導体基板側に放出することで行う。

【0012】一般にMOS型トランジスタの不揮発性記憶素子では、電子の書き込み及び消去が容易であると情報蓄積した電子の保持時間は短い。上述の従来技術は、前記第3絶縁膜106aを第1絶縁膜と第2絶縁膜の間に挟むことで第1絶縁膜を2.5nm以上に厚くできるようにした。このようにして前記の保持時間を10⁵時間にし、更に書き込み及び消去時間ともに1μsec程度と高速にしている。前者についてはそれ以前の10~10³倍に長くし、後者については10~10⁴倍に速くしている。

【0013】

【発明が解決しようとする課題】以上の従来技術は、通

常のMOS型トランジスタの第1絶縁膜と第2絶縁膜の間に、第3の絶縁膜を挟むことを特徴とする。この第3絶縁膜は先述したように均質に分散する金属原子を含んでいる。このためこの領域は電子を捕獲しやすい電子捕獲中心を多数含むことになる。そこで、前記の方法で書き込まれた電子はこの第3絶縁膜にのみ蓄積される。これに対し通常のMOS型トランジスタでは、注入電子は第1絶縁膜と第2絶縁膜との界面準位領域、及び第2絶縁膜内部の一部領域に蓄積される。この第2絶縁膜内部の一部領域に蓄積する電子の消去は一般に難しい。上述の従来技術はこのような電子の蓄積をなくし、消去をしやすくしている。又、第1絶縁膜の膜厚を2.5nm以上に厚くすることができるため、情報電荷の蓄積保持時間を長くすることができる。

【0014】しかし、この従来技術では、書き込み及び消去に必要とする電圧は30V程度あり改善されていない。現在のフラッシュメモリの不揮発性記憶素子の主流であるフローティングゲート型トランジスタの場合では、この書き込み及び消去電圧はそれぞれ5V、12V程度になっている。このために、MOS型トランジスタの場合5V以下の低電圧化が大きな課題として残されている。

【0015】更に、従来技術は先述したように第3絶縁膜に金属原子を混入させる。このためにこれらの金属がシリコン半導体基板を汚染することが生じる。このシリコン基板の汚染は半導体素子の特性劣化あるいは品質低下を引き起す。この解決も大きな課題となっている。

【0016】本発明は以上の課題を解決し、情報電荷の書き込み消去回数が増大し、低電圧化あるいは低消費電力化したフラッシュメモリの実現を可能とする不揮発性記憶素子を提供せんとするものである。

【0017】【課題を解決するための手段】このために本発明は、半導体基板の正面に形成した第1絶縁膜とこの第1絶縁膜に積層して形成した第2絶縁膜との2層構造のゲート絶縁膜を有するMIS型のトランジスタにおいて、第1絶縁膜の膜厚及び比誘電率をt₁、ε₁とし第2絶縁膜の膜厚及び比誘電率をt₂、ε₂とするとき、ε₂ / ε₁の値が5.0 ≤ ε₂ / ε₁の関係及びt₂ / t₁ ≤ ε₂ / ε₁の関係を有するようにする。

【0018】ここで、前記第1絶縁膜をシリコン酸化物、シリコン窒化物又はシリコン酸化膜の窒化物で形成し、前記第2絶縁膜を五酸化タンタル、チタン酸ストロンチウム、チタン酸バリウムストロンチウム、又はチタン酸ジルコン酸鉛の金属酸化物で形成することが好ましい。

【0019】あるいは前記MIS型のトランジスタにおいて、前記第2絶縁膜を2種類の金属酸化物の固溶体絶縁物質で形成する。この場合に、前記固溶体絶縁物質の組成がその厚さ方向で連続的あるいは不連続的に変化す

るよう堆積させる。

【0020】あるいは前記MIS型のトランジスタにおいて、前記第2絶縁膜を積層した2種類の酸化膜で形成する。ここでこの積層する2種類の酸化膜には別種の高誘電率の誘電体物質が用いられる。

【0021】更には、前記第1絶縁膜と前記第2絶縁膜との界面領域にシリコン原子の集合体を、これらの集合体が互いに離散するように形成する。

【0022】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の不揮発性記憶素子を説明するための略断面図であり、nチャネル型のトランジスタを例として示した。図1に示すように、p型のシリコン半導体基板1の主面に半導体素子間を電気的に分離する素子分離酸化膜2を形成する。この素子分離酸化膜2の無い領域のシリコン半導体基板1主面に、膜厚が2.5~5nmの第1絶縁膜3を設ける。ここでこの第1絶縁膜3は、シリコン半導体基板1主面の自然酸化膜等を除去し清浄化した後、熱酸化して形成したシリコン酸化膜あるいはこのシリコン酸化膜を熱室化して形成する空素原子を含有したシリコン絶縁膜で形成する。

【0023】このような第1絶縁膜3上に膜厚が50~100nmの第2絶縁膜4を形成する。ここでこの第2絶縁膜4は大きな比誘電率を有する誘電体膜で形成する。このような誘電体膜として五酸化タンタル、チタン酸ストロンチウム(以下、STOと呼称する)、チタン酸バリウムストロンチウム(以下、BSTと呼称する)、あるいはチタン酸ジルコン酸鉛(以下、PZTと呼称する)を使用する。

【0024】次に第2絶縁膜4を被覆するゲート電極5を形成する。ここでこのゲート電極の材料として膜厚が200nm程度の窒化チタン、ルテニウム酸化物、パラジウム又は白金等の金属膜を使用する。

【0025】このようにした後トランジスタのソース領域6、ドレイン領域7をそれぞれ形成する。ここでこの領域にはヒ素のイオン注入とランプアニールでの熱処理によりn+拡散層を形成する。この熱処理工程では低温処理にすることが重要となる。これは、高い温度での熱処理は前記の第2絶縁膜4の電気特性の中でも特に膜の絶縁性を劣化させるためである。

【0026】このようにした後、層間絶縁膜8を形成する。この層間絶縁膜は膜厚が500nmのBPSG(ボロンガラス、リンガラスを含むシリコン酸化膜)膜あるいは二酸化シリコン膜で形成する。この層間絶縁膜8にコンタクト孔を開口しソース電極9、ドレイン電極10を設ける。このようにして、本発明の第1の実施例の基本構造はできあがる。

【0027】次に図2に、図1のMNOS型トランジスタのMIS構造部分を等価回路にして示す。ここでC₁、C₂はそれぞれ第1絶縁膜を誘電体膜とする第1

ゲートキャバシタ21、及び第2絶縁膜を誘電体膜とする第2ゲートキャバシタ22の単位面積当たりの容量を表わす。t₁、ε₁はそれぞれ第1絶縁膜の膜厚、比誘電率を表す。又t₂、ε₂は第2絶縁膜の膜厚、比誘電率を表す。又、図2の中で、第1ゲートキャバシタ21と第2ゲートキャバシタ22を直列配線して電源23が接続される。

【0028】ここで、図1に示したゲート電極5とシリコン半導体基板1間に電圧V₀を印加し、第1絶縁膜3にかかる初期電圧をV₁、第2絶縁膜にかかる初期電圧をV₂とする。これを図2の等価回路で示すと、電源23の電圧がV₀となり、第1ゲートキャバシタ21にかかる電圧がV₁となり、第2ゲートキャバシタ22にかかる電圧がV₂となる。このようにすると、これらの電圧はそれぞれ次の(1)式及び(2)式で表される。

【0029】

$$V_1 = \frac{C_2}{C_1 + C_2} = \frac{V_0}{\frac{t_2/t_1 + 1}{\epsilon_2/\epsilon_1}} \quad (1)$$

【0030】

$$V_2 = \frac{C_1}{C_1 + C_2} = \frac{V_0}{\frac{t_1/t_2 + 1}{\epsilon_1/\epsilon_2}} \quad (2)$$

【0031】情報書き込みの場合には図1のゲート電極5に正電圧を印加する。この時第1絶縁膜3にかかる電界強度は 1×10^7 V/cmとなり、シリコン半導体基板1からの電子の直接トンネル電流により情報電荷の書き込みが行われる。ここで(1)式のV₁は略一定電圧となる。この値は第1絶縁膜3の膜厚と上記電界強度との積である。この条件下で(1)式は第2絶縁膜4の比誘電率ε₂が高い程書き込み電圧V₀が低下することを表わしている。

【0032】消去の場合にはゲート電極5に負電圧を印加するか、あるいはゲート電極5を0Vにしシリコン半導体基板1側に正電圧を印加する。この場合も情報書き込みと同様に、第2絶縁膜の高誘電率化が消去電圧の低減に有効となる。

【0033】この第2絶縁膜の高誘電率化は(2)式から判るように、V₂の値を低減させる。この低減は、情報電荷の書き込み消去時に電子が第2絶縁膜を移動するのを低下させる。このことは第2絶縁膜の絶縁性をある程度犠牲にしても高誘電率化が可能となることを示す。

【0034】又、(1)式から書き込み及び消去の低電圧化に必要な条件の概略を決めることができる。すなわち、情報電荷の蓄積保持が105時間以上になるシリコン酸化膜の最小膜厚を2.5nm、この酸化膜への印加

電界を $1 \times 10^7 \text{ V/cm}$ とすると V_1 の最小値は 2.5 V となる。ゲート電極に印加される電圧 V_0 を 5 V 以下にするには V_1/V_0 を 0.5 以上にすることに相当することがわかる。これは (1) 式により $t_1/t_2 \leq \epsilon_2/\epsilon_1$ となることを意味する。

【0035】次に、情報電荷の書き込み及び消去後のトランジスタのしきい値電圧差を ΔV とすると、 ΔV は次の (3) 式で表される。

【0036】

$$\Delta V = \frac{qN}{C_2} = \frac{q t_2 N}{\epsilon_2} \quad (3)$$

【0037】ここで、 q は電荷素量であり、 N は単位面*

* 積当りの捕獲電子の数である。

【0038】この ΔV は記憶情報の論理 1 又は論理 0 の読出しのために一定の値を確保するように設定される。このために、第 2 絶縁膜を高誘電率化し低電圧化するためには、電子の捕獲中心の数を高誘電率化に併せて増加させることも必要となる。

【0039】次に本実施例の不揮発性記憶素子の特性を、先述した従来技術と比較して説明する。表 1 はこれらを比較して示したものである。この表 1 は $t_1 = 2.5 \text{ nm}$ 、 $t_2 = 50 \text{ nm}$ 、 $\Delta V = 4 \text{ V}$ 、読出し時の比較用基準電圧が 2 V の場合の値を示している。

【0040】

10

【表 1】

	本発明			従来技術
	タンタル酸化膜	STO 膜	BST 膜	シリコン酸化膜
書き込み電圧(V)	12	5	4	33
書き込み時間(μsec)	1.5	5	7	1
消去電圧(V)	-10	-5	-4	-33
消去時間(μsec)	2.5	7	10	2
保持時間(hr)	10^6	10^6	10^6	10^6

【0041】表 1 から明らかなように第 2 絶縁膜を STO 膜あるいは BST 膜にすることで、書き込み電圧、消去電圧は 5 V 程度に低電圧化される。ここで第 2 絶縁膜の比誘電率 ϵ_2 の値は、タンタル酸化膜で 24 、STO 膜で 200 、BST 膜で 510 である。又、第 1 絶縁膜の比誘電率 ϵ_1 は 4 である。この第 1 絶縁膜はシリコン酸化膜を熱空化した絶縁膜である。この表 1 より、 5 V 以下の書き込み消去電圧にするためには、第 1 絶縁膜の比誘電率は STO 膜の比誘電率より高くなればよいことが判る。すなわち、 $50 \leq \epsilon_2/\epsilon_1$ の関係が成立すればよい。

【0042】情報蓄積の保持時間に関しては従来技術と大きな差はない。示された保持時間は 10 年以上 であり、この不揮発性記憶素子の使用の上では十分な値となっている。尚、書き込み時間及び消去時間が少し従来技術より長くなっているが、フラッシュメモリに使用する場合には全く問題はない。因みに、現在主流であるフローティングゲート型トランジスタの場合ではこれらの値はそれぞれ、 $10 \mu\text{sec}$ 、 1 msec となっており、本実施例の MNOS 型トランジスタの特性は大幅に向上している。

【0043】次に、第 2 の実施例について図 3 に基づいて説明する。図 3 は本発明の不揮発性記憶素子を説明するための略断面図である。基本構造は図 1 で説明した第 1 実施例と同じである。両者での相違点は第 2 絶縁膜にある。すなわち第 1 実施例では同質で単層の高誘電率膜

を用いるのに対し、この実施例ではこの第 2 絶縁膜に連続的あるいは段階的に組成の変化した高誘電率膜を使用する。

30

【0044】図 3 に示すように、図 1 と同様にシリコン半導体基板 1 上に素子分離酸化膜 2 を設けた後第 1 絶縁膜 3 を形成する。この第 1 絶縁膜 3 は膜厚が $2.5 \sim 5 \text{ nm}$ のシリコン酸化膜で構成される。次にこの第 1 絶縁膜 3 を被覆するように第 2 絶縁膜 4 を堆積する。この場合、この第 2 絶縁膜 4 には連続的あるいは段階的に組成の変化する高誘電率膜を使用する。

40

【0045】以下この高誘電率膜として、組成の変化する BST 膜を堆積する場合について説明する。

【0046】これらの成膜方法には大きくわけて CVD (化学気相成長) 法とスパッタ法がある。以下に CVD 法で成膜する場合について説明する。

50

【0047】この膜の成膜装置の基本構成は多元系の絶縁膜である BPSG の成膜の場合とほぼ同じである。すなわち、減圧の可能な石英の反応管をヒーター加熱する LPCVD 炉と、この炉に導入する原料ガスの供給装置と、これらのガスの配管系とで基本的に構成される。このような成膜装置で、炉の温度を $600 \sim 700 \text{ °C}$ に設定する。チタンの原料として $Ti (1-\text{OC}, H_2)$ を用い、これを石英容器あるいはステンレス製容器に入れ 20 °C 程度に保温する。ストロンチウムの原料として粉末の $Sr (DPM)_2$ を用い、これをステンレス製容器に入れ 190 °C 程度にして昇華させる。更に、パリウ

ムの原料として粉末のBa (DPM)₂を用い、これをスタテンレス製の容器に入れ210℃程度にして昇華させる。ここでDPMは化学式CH (CO-C (CH₃)₂)₂で表される物質である。

【0048】これらの反応ガスはキャリアガスであるアルゴンガスで前記の炉内にそれぞれの配管を通して運ばれる。ここでこれらの配管は220℃程度に保溫される。これはこれらの反応ガスの結露あるいは凝固を防止するためである。これらの反応ガスの炉への導入は、前以てこれら反応ガスの混合をして行う。この反応ガスの混合は230℃程度に保ったステンレス製のシリンダー内で行う。この時酸素ガスあるいは亜酸化窒素ガスも同時にこのシリンダーに導入する。このガスの配管系においては、その配管長が極力短くなるようとする。

【0049】以上のような構成の成膜装置で所望の前記高誘電率膜を堆積させる。この場合全体のガス圧力は1 Torr程度で一定にする。更にチタンのソースガスであるTi (i-O₂, H₂)₄のガス流量は一定にする。そしてSr (DPM)₂とBa (DPM)₂のガス流量を成膜時間と共に変化させる。このようにして膜の厚さ方向でその組成を異にする(Ba, Sr) TiO₃系の高誘電体膜を形成する。この場合の成膜速度は1 nm/min程度となる。

【0050】具体的には、例えばTi (i-O₂, H₂)₄のキャリアガスの流量を70 sccmとし、Sr (DPM)₂のキャリアガス流量を0~300 sccmの範囲で成膜時間と共に増加させ、Ba (DPM)₂のキャリアガス流量を70~0 sccmと成膜時間と共に減少させる。このようにして、チタン酸バリウム膜からSTO膜へと組成の変化する高誘電率膜を形成する。ここで、これらのキャリアガス流量を連続して変化させると、その膜の厚さ方向に対し連続的に組成の変わった膜が堆積する。又、このガス流量の時間変化を大きくすると、その組成の変化を大きくすることができる。前記のガス流量の変化を断続的にすると、その組成が不連続に変わった膜が堆積する。

【0051】このようにして第2絶縁膜3を形成した後、第1の実施例と同様にしてゲート電極5、トランジスタのソース領域6、ドレイン領域7更に層間絶縁膜8、ソース電極9、ドレイン電極10を形成する。このようにして、第2実施例の不揮発性記憶素子が形成される。

【0052】次に図4で、ほぼ連続的に組成の変化した前記の(Ba, Sr) TiO₃膜のバンド構造について説明する。図4は白金電極/(Ba, Sr) TiO₃/SiO₂/Si基板構造のバンドダイヤグラムを示す。図4に示すようにSiの禁制帯幅は1.15 eV、第1絶縁膜のバンド31のそれは8 eV、チタン酸バリウム膜のそれは約3 eV、STO膜のそれは約3.4 eVである。このような構造において、(Ba, Sr) TiO₃

で構成する第2絶縁膜のバンドの伝導帯に、図4に示すような傾斜が生じる。このためにシリコン半導体基板のバンド33の伝導帯から界面準位34領域に注入され蓄積される電子は白金電極のフェルミレベル35側に放出され難くなる。このために、情報電荷の蓄積保持時間が表1のBST膜の2倍程度に増加する。又、この伝導帯の傾斜に相当する内部電界により前記電子の注入及び捕獲領域が前記界面準位34領域に局所化されるために書き込み及び消去時間が通常の1/5以下に短縮する。

【0053】次に、第3の実施例について図5で説明する。図5は本発明の不揮発性記憶素子を説明するための略断面図である。本実施例では第2絶縁膜4に、第1成分膜4aと第2成分膜4bで構成される複合膜を使用する点が実施例1と異なる。以下にこの第2絶縁膜について述べる。

【0054】シリコン半導体基板1正面に形成した第1絶縁膜3を被覆するようにBST膜を堆積し第1成分膜4aを形成する。この成膜は第2実施例のCVD方法による(Ba, Sr) TiO₃成膜で、反応ガス流量を一定にすることで容易に行える。ここでこのBST膜の膜厚は30 nm程度になるようとする。

【0055】引続いて前記の第1成分膜4a上にタンタル酸化膜を堆積し第2成分膜4bを形成する。このタンタル酸化膜の成膜は減圧CVD炉に反応ガスとしてTa (OC₂ H₅)₆、O₂を導入して行う。ここで堆積温度は400~500℃にする。この他このタンタル酸化膜の堆積方法として、TaCl₄ガス及びN₂Oガスをプラズマにして成膜する方法もある。このタンタル酸化膜の膜厚は20 nm程度にすればよい。

【0056】このようにして、BST膜とタンタル酸化膜との複合膜で第2絶縁膜4が形成される。この第2絶縁膜の構造以外は第1の実施例と同一であるのでここでは省略する。

【0057】このような構造にすることで、第2絶縁膜がBST単層膜である場合に比べ、情報蓄積の保持時間は2倍以上に、書き込み及び消去時間は1/5に短縮する。但し、書き込みあるいは消去電圧の若干の増大は避けられない。しかし、これらの電圧は5~7 Vであり記憶素子の低電圧化には有効である。

【0058】以上、複合膜にBST膜とタンタル酸化膜を用いた場合について述べたが、この複合膜の組合せは他のものでもよい。但し、第2成分膜4bのバンド禁止帯幅が第1成分膜4aのそれより広くなるように選択することが好ましい。

【0059】次に、第4の実施例について図6~図7、図8~図9及び図10で説明する。図6は本発明の不揮発性記憶素子を説明するための略断面図である。図7は図6の一部を拡大した断面図である。図8~図9は本構造の製法を示すための工程順の略断面図である。図10は図6に示した構造が生じる効果を説明するためのバン

ドダイヤグラムである。

【0060】図6に示すように、シリコン半導体基板1の正面に素子分離酸化膜2を設け、シリコン半導体基板1の活性領域となる正面に第1絶縁膜3を設ける。この第1絶縁膜3は膜厚が2.5~3nmのシリコン酸化膜あるいはシリコン酸化膜を熱空化した絶縁膜で形成される。

【0061】この第1絶縁膜3上にシリコン微粒子11は多数形成する。ここでこれらのシリコン微粒子11はその粒径が第1絶縁膜厚の値以下のシリコン結晶の微小粉末、あるいはその粒径が1nm以下のシリコンクラスターで構成される。又、このシリコン微粒子11にはボロン、リンあるいはヒ素原子を含有させてもよい。尚、これら不純物量は濃度にして固溶限界である $10^{20} \sim 10^{21}$ 原子/cm³にする。これらのシリコン微粒子11はそれぞれ互いに適当な距離に離散して形成されることが重要である。

【0062】次に、これらのシリコン微粒子11及び第1絶縁膜3を被覆して、膜厚が50nmのSTO膜を堆積させる。このようにして、第2絶縁膜4を設ける。この他の構造は第1の実施例と同じである。すなわち、ゲート電極5、トランジスタのソース領域6、ドレイン領域7、更に層間絶縁膜8、ソース電極9、ドレイン電極10を形成する。このようにして、第4実施例の不揮発性記憶素子が形成される。

【0063】次に、図7で前記シリコン微粒子の離散して形成される場合のその配置について説明する。シリコン半導体基板1からシリコン微粒子11へと、第1絶縁膜3を直接トンネルして書込まれた電子はこのシリコン微粒子11と第1絶縁膜3及び第2絶縁膜5との界面に蓄積する。この電子はシリコン微粒子11の存在しない領域で第1絶縁膜3と第2絶縁膜5との界面領域にも蓄積されるがその数は少い。このために、シリコン微粒子11の間隔が拡がるとこれらの蓄積電子のシリコン基板1表面への電気的効果が不連続になる。この電気的効果の不連続性は不揮発性記憶素子の性能を低下させる。

【0064】以上の理由から、前記のシリコン微粒子11間の間隔はある限度以下にする必要がある。この間隔は略このシリコン微粒子11の粒径と同程度あるいはそれ以下にすればよい。

【0065】次に、第4の実施例の構造の不揮発性記憶素子の製造方法について説明する。図8(a)に示すように、導電型がp型のシリコン半導体基板1の正面に公知のLOCOS法により素子分離酸化膜2を形成する。このようにした後、シリコン半導体基板1の正面に清浄な表面にし、膜厚が2.5~3nmのシリコン酸化膜13を形成する。この清浄表面及びシリコン酸化膜13はマルチチャンバーを備えた装置で一括処理される。すなわち、アルカリ性あるいは酸性の薬液で洗浄されたシリコン半導体基板1は、シリコン半導体基板1表面の

自然酸化膜の除去とシリコン基板表面の熱酸化の連続処理をこの装置内でされる。

【0066】次に図8(b)に示すように、シリコン微粒子11をそれぞれがお互いに孤立するようにシリコン酸化膜13表面に形成する。このシリコン微粒子11をシリコン結晶の微小粉末で形成する場合は、ポリシリコンの核を形成する要領で次のように行う。すなわち枚葉型のCVD装置で、反応室の温度を600~700°Cの範囲に設定し、モノシランガスあるいはジクロルシランガスを空素キャリアガスと共にこの反応室に導入する。この場合、導入するガスの全圧力は1mTorr程度にする。このようにポリシリコン成膜の成膜速度が極端に小さくなる条件に設定することでシリコン結晶の微小粉末は形成される。このシリコン結晶の微小粉末形成は、先述したマルチチャンバーを備えた装置内で前記のシリコン酸化膜13形成に連続して行ってもよい。

【0067】前記シリコン微粒子11をシリコンクラスターで形成する場合は、シリコンのクラスター生成装置を用いる。すなわち、 10^{-8} Torr以下の高真空中において固体シリコンにレーザ光を照射する。このレーザ光はArFガスから発生させたパルス状のエキシマレーザ光である。このエキシマレーザ光の強度を1パルス当たり 100mJ/cm^2 以上にすると、前記の固体シリコンからシリコン原子が昇華する。この昇華したシリコン原子は一部が結合しクラスター状になる。このクラスター状になったシリコンを前記シリコン酸化膜11上に堆積させる。ここでシリコンクラスターの大きさの制御はレーザ光の強度に依存する。すなわち、この強度の大きい程シリコンクラスターは大きくなる。このシリコンクラスターの形成において、シリコン半導体基板1の温度は100~300°Cの範囲に設定される。このようにしてシリコン酸化膜13上に付着したシリコンクラスターの表面再拡散を抑制する。

【0068】次に図8(c)に示すようにSTO膜14をシリコン半導体基板1表面に堆積させる。このSTO膜の成膜はマルチチャンバーのスパッタ装置で行う。このスパッタ装置は真空到達圧力が 10^{-9} Torr以下になる通常の装置である。ここでターゲットにチタン酸ストロンチウムの基板を用い、スパッタガスにアルゴンガスを用い更に酸素ガスを添加する。このようにして成膜速度を2nm/minにし、膜厚が50nmのSTO膜14を形成する。

【0069】次に図9(a)に示すように白金薄膜15a、タンクステン薄膜15bを堆積させる。これらの成膜は前記マルチチャンバースパッタ装置で連続して行い、これら金属膜の膜厚はそれぞれ10nm、100nmになるようにする。

【0070】次に図9(b)に示すようにホトレジストマスク16をドライエッチングのマスクにして前記STO膜14、白金薄膜15a、タンクステン薄膜15bを

それぞれドライエッティングする。このようにして第2絶縁膜4、白金電極5aとタンクスチタン電極5bとからなるゲート電極5を形成する。このようにした後、ホトレジストマスク16を除去し、第2絶縁膜4及びゲート電極5を被覆するようにコート絶縁膜8aを形成する。

【0071】次に、図9(c)に示すようにヒ素のイオン注入と熱処理により、ソース領域6とドレイン領域7を形成する。この工程で第1絶縁膜3と第2絶縁膜4とが劣化しやすい。前記のコート絶縁膜8aはこれらの劣化を防止するためのものである。このようにした後、層間絶縁膜8を形成しソース電極9及びドレイン電極10を形成して第4実施例の発明構造は完成する。

【0072】次にこの第4の実施例構造の効果について図10に基づいて説明する。図10はこの構造をバンドダイヤグラムにしたものである。第1絶縁膜のバンド41と第2絶縁膜のバンド42に挟まれてシリコン微粒子のバンド43が存在する。この場合、前記の第1絶縁膜とシリコン微粒子の界面、前記第2絶縁膜とシリコン微粒子の界面にそれぞれ第1界面準位44と第2界面準位44aとが形成される。この図中、シリコン半導体基板のバンド45、白金電極のフェルミレベル46が示されている。

【0073】このようなバンド構造において、先述した書き込み後の電子はシリコン微粒子のバンドの伝導帯と第1界面準位44及び第2界面準位44aとに蓄積される。先述したようにシリコン微粒子の大きさは3nm以下であり、電子の蓄積領域の局所化がなされる。

【0074】このために電子の書き込みと消去が容易になる。先述した第1の実施例の効果で説明した表と同一の条件で比較すると、書き込み電圧と消去電圧はそれぞれ3V及び-3Vに低下する。又書き込み時間と消去時間も短縮し、共に100nsec以下になる。更に、書き込み消去の回数が10⁶回から10⁷あるいは10⁸回に増加する。ここで蓄積電子の保持時間は10⁵時間であり問題はない。

【0075】

【発明の効果】MOS型トランジスタの不揮発性記憶素子において、本発明のように第2絶縁膜に高誘電率膜を用いる構造にし、この高誘電率膜の組成を連続的あるいは断続的に変える、あるいは第1絶縁膜と第2絶縁膜との間にシリコン微粒子を形成することで、不揮発性記憶素子の特性を大幅に向上させることができる。すなわち、書き込み電圧及び消去電圧を従来の1/10に低電圧化し、書き込み時間及び消去時間をこれまでのμsecからnsecのオーダーに短縮することができるようになる。

【0076】更に従来技術でみられた金属による汚染は全く生じない。これは先述した従来技術の第3絶縁膜中の金属が化学結合していないのに対し、本発明に使用する金属酸化物中の金属は完全に化学結合しているためで

ある。

【0077】このようにMOS型トランジスタの性能を向上させることで、フラッシュメモリの不揮発性記憶素子としてこのMOS型トランジスタが使用できるようになる。そして、現在フローティングゲート型トランジスタを使用しているフラッシュメモリの性能を大幅に向上させる。すなわち、従来比較で消去電圧をこれまでの1/4程度に低電圧化し、書き込み時間及び消去時間をそれぞれこれまでの1/10²、1/10⁴程度に短縮する。更に、書き込み消去の回数をこれまでの10³倍程度にまで増加させる。このフラッシュメモリの特性の大幅な向上はこのデバイスの用途を拡大し、新たな用途領域を開拓する。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための略断面図である。

【図2】本発明のMIS構造の等価回路図である。

【図3】本発明の第2の実施例を説明するための略断面図である。

【図4】本発明の第2の実施例を説明するためのバンド構造図である。

【図5】本発明の第3の実施例を説明するための略断面図である。

【図6】本発明の第4の実施例を説明するための略断面図である。

【図7】本発明の第4の実施例を説明するための略断面図である。

【図8】本発明の第4の実施例の半導体記憶装置の製法を示す略断面図である。

【図9】本発明の第4の実施例の半導体記憶装置の製法を示す略断面図である。

【図10】本発明の第4の実施例を説明するためのバンド構造図である。

【図11】従来の半導体記憶装置の構造を示した略断面図である。

【符号の説明】

1, 101	シリコン半導体基板
2, 102	素子分離酸化膜
3, 105	第1絶縁膜
4, 106	第2絶縁膜
4a	第1成分膜
4b	第2成分膜
106a	第3絶縁膜
5, 107	ゲート電極
5a	白金電極
5b	タンクスチタン電極
6, 103	ソース領域
7, 104	ドレイン領域
8, 108	層間絶縁膜
8a	コート絶縁膜

15

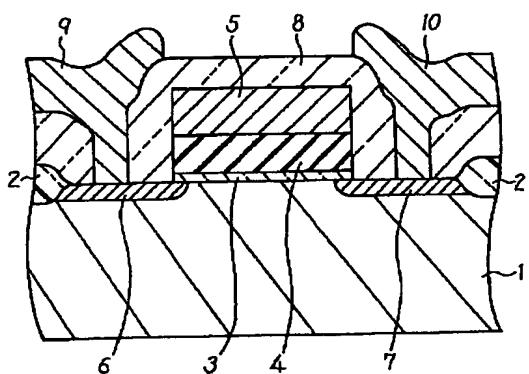
9, 109 ソース電極
 10, 110 ドレイン電極
 11 シリコン微粒子
 13 シリコン酸化膜
 14 STO膜
 15a タングステン薄膜
 15b 白金薄膜
 16 ホトレジストマスク
 21 第1ゲートキャバシタ
 22 第2ゲートキャバシタ

16

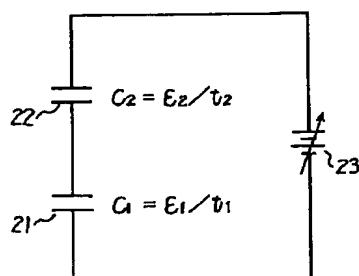
23 電源
 31, 41 第1絶縁膜のバンド
 32, 42 第2絶縁膜のバンド
 33, 45 シリコン半導体基板のバンド
 34 界面準位
 35, 46 白金電極のフェルミレベル
 43 シリコン微粒子のバンド
 44 第1界面準位
 44a 第2界面準位

10

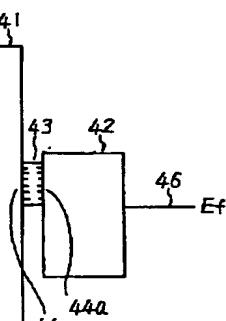
【図1】



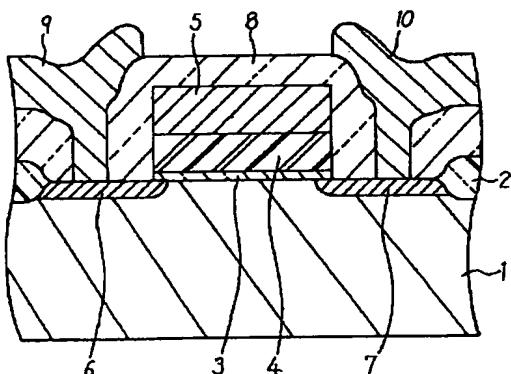
【図2】



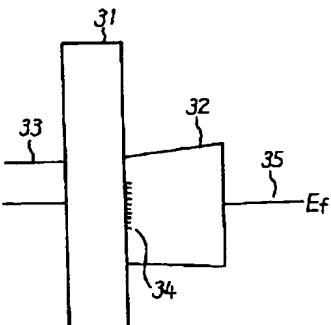
【図10】



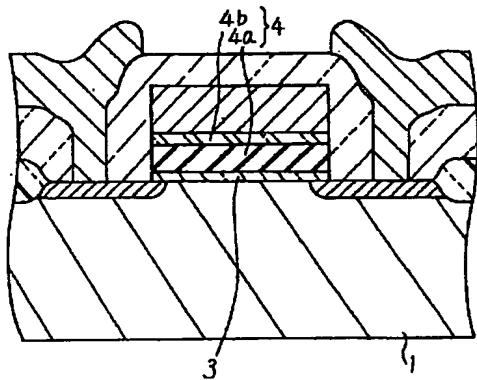
【図3】



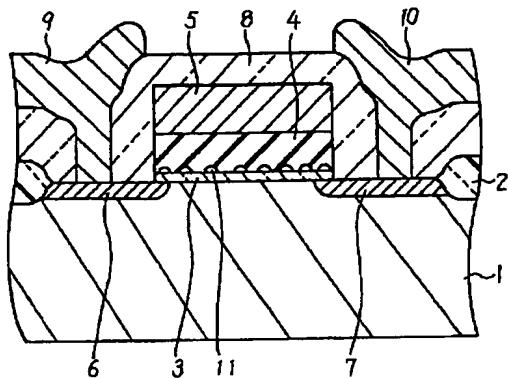
【図4】



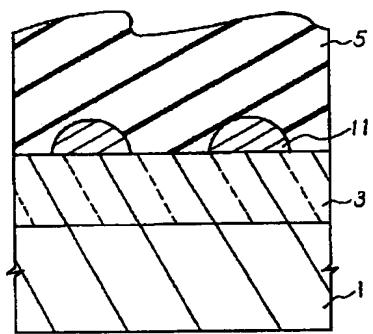
【図5】



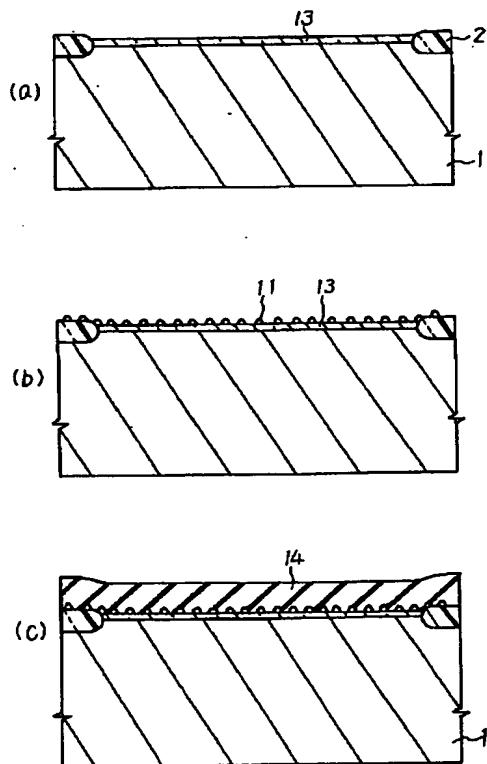
【図6】



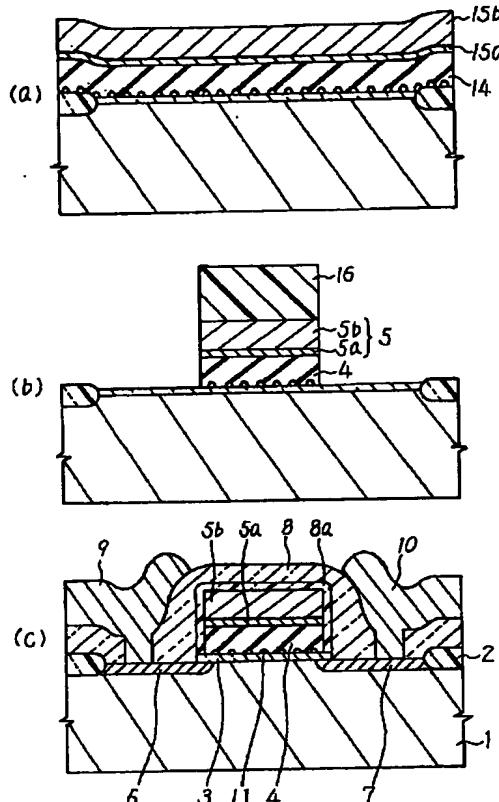
【図7】



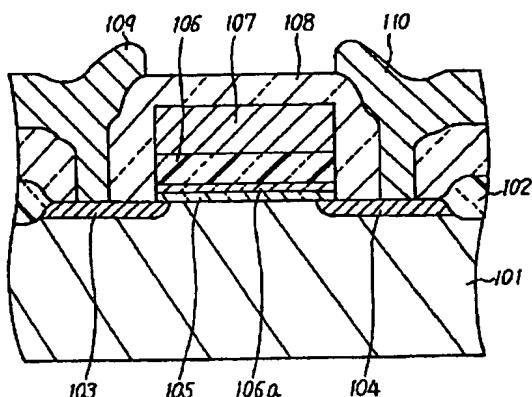
【図8】



【図9】



【図11】



【手続補正書】

【提出日】平成7年3月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】M I S (金属-絶縁体-半導体)構造のトランジスタにおいて、半導体基板の主面に第1絶縁膜が形成され、前記第1絶縁膜に積層して第2絶縁膜が形成され、前記第1絶縁膜と第2絶縁膜との2層絶縁膜でM I S構造トランジスタのゲート絶縁膜が構成され、前記第1絶縁膜の膜厚及び比誘電率を t_1 , ϵ_1 とし、前記第2絶縁膜の膜厚及び比誘電率を t_2 , ϵ_2 として、 ϵ_2 / ϵ_1 が $2.0 \leq \epsilon_2 / \epsilon_1$ の関係と $t_2 / t_1 \leq \epsilon_2 / \epsilon_1$ の関係とを満足することを特徴とした半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】このために本発明は、半導体基板の主面に形成した第1絶縁膜とこの第1絶縁膜に積層して形成した第2絶縁膜との2層構造のゲート絶縁膜を有するM I S型のトランジスタにおいて、第1絶縁膜の膜厚及び比誘電率を t_1 , ϵ_1 とし、第2絶縁膜の膜厚及び比誘電率を t_2 , ϵ_2 として、 ϵ_2 / ϵ_1 の値が $2.0 \leq \epsilon_2 / \epsilon_1$ の関係及び $t_2 / t_1 \leq \epsilon_2 / \epsilon_1$ の関係を有するようになる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】又、(1)式から書き込み及び消去の低電圧化に必要な条件の概略を決めることができる。すなわち

ち、情報電荷の蓄積保持が 10^5 時間以上になるシリコン酸化膜の最小膜厚を 2.5 nm 、この酸化膜への印加電界を $1 \times 10^7 \text{ V/cm}$ とすると V_1 の最小値は 2.5 V となる。ゲート電極に印加される電圧 V_0 を 5 V 以下にするには V_1/V_0 を 0.5 以上にすることに相当することがわかる。これは (1) 式により $t_2/t_1 \leq \varepsilon_2/\varepsilon_1$ となることを意味する。

【手続補正4】

* 【補正対象書類名】明細書
 【補正対象項目名】0040
 【補正方法】変更
 【補正内容】
 【0040】
 【表1】

	本発明			従来技術
	タンタル酸化膜	STO膜	BST膜	シリコン空化膜
書き込み電圧 (V)	11	8.5	2.8	33
書き込み時間 (μsec)	1.5	5	7	1
消去電圧 (V)	-11	-8.5	-2.8	-33
消去時間 (μsec)	2.5	7	10	2
保持時間 (hr)	10^5	10^5	10^5	10^5

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】表1から明らかなように第2絶縁膜をSTO膜あるいはBST膜にすることで、書き込み電圧、消去電圧は 5 V 程度に低電圧化される。ここで第2絶縁膜の比誘電率 ε_2 の値は、タンタル酸化膜で 24 、STO膜で 200 、BST膜で 510 である。又、第1絶縁膜の比誘電率 ε_1 は 4 である。この第1絶縁膜はシリコン酸化膜を熱空化した絶縁膜である。この表1より、 5 V 以下の書き込み消去電圧にするためには、第1絶縁膜の比誘電率はSTOの比誘電率よりも小さくてもよく、(1)式から書き込み電圧 5 V の時、 ε_2 は 80 と求めることが

できる。すなわち、 $20 \leq \varepsilon_2/\varepsilon_1$ の関係が成立すればよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】引続いて前記の第1成分膜4a上にタンタル酸化膜を堆積し第2成分膜4bを形成する。このタンタル酸化膜の成膜は減圧CVD炉に反応ガスとしてTa (OC_2H_5)₅、O₂を導入して行う。ここで堆積温度は $400 \sim 500^\circ\text{C}$ にする。この他このタンタル酸化膜の堆積方法として、TaCl₄ガス及びN₂Oガスをプラズマにして成膜する方法もある。このタンタル酸化膜の膜厚は 20 nm 程度にすればよい。

フロントページの続き

(51) Int.Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

H01L 29/78

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.